

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-295866

(43)Date of publication of application : 10.11.1995

(51)Int.CI.

G06F 12/00

G06F 12/16

G11C 16/06

(21)Application number : 06-104297

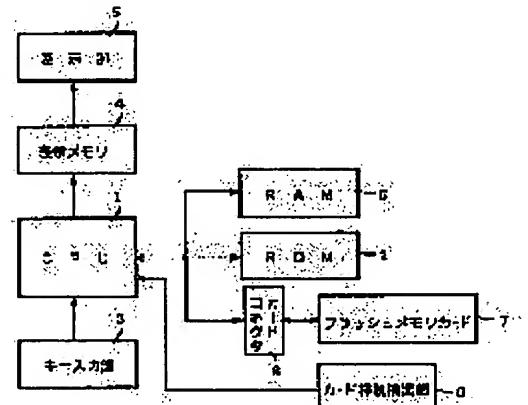
(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 20.04.1994

(72)Inventor : NISHITANI KOJI
IWABUCHI MASAHIKO
SUGIMOTO MASANOBU**(54) DATA PROCESSOR****(57)Abstract:**

PURPOSE: To reduce the writing frequency of a flush memory and enable the use of the memory for a long period of time by transferring the table data in a file allocation table (FAT) area to a buffer memory and then updating these data.

CONSTITUTION: The table data are previously read out of a FAT area and transferred to a buffer memory such as a RAM 6, etc., before the file data are written in a data area of the flush memory of a loaded flush memory card 7. Under such conditions, a CPU 1 writes data into the data area of the flush memory. Thus the table data are stored in the buffer memory and updated every time the data are written by the CPU 1. In such a way, the table data are updated in the FAT area after they are transferred to the buffer memory. Then the table data stored in the buffer memory are written again in the FAT area of the flush memory after the data are written in the flush memory.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the data processor which carries out direct access of the flash memory, and writes file data in the data area The 1st write-in means which reads table data from the file allocation table field in a flash memory, and is written in buffer memory, An updating means to update the table data in said buffer memory whenever it writes file data in the data area in a flash memory, The data processor characterized by providing the 2nd write-in means which reads the table data in said buffer memory, and is written in the file allocation table field in a flash memory.

[Claim 2] said -- the -- one -- a store -- a means -- a power source -- ON -- the time -- a flash memory -- inside -- a file - allocation - a table -- from -- a table -- data -- reading -- appearance -- carrying out -- buffer memory -- writing in -- said -- the -- two -- a store -- a means -- a power source -- OFF -- the time -- buffer memory -- inside -- a table -- data -- a flash memory -- inside -- allocation - a table -- writing in -- having made -- things -- the description -- ** -- carrying out -- a claim -- (--) one -- a publication -- a data processor .

[Claim 3] In the data processor which carries out direct access of the flash memory card with which the main frame was equipped, and writes file data in the data area A detection means to detect installation/removal of flash memory card, When it is detected that flash memory card was attached by this detection means The 1st write-in means which reads table data from the file allocation table field in flash memory card, and is written in buffer memory, An updating means to update the table data in said buffer memory whenever it writes file data in the data area in flash memory card, Before removal of flash memory card is detected by said detection means The data processor characterized by providing the 2nd write-in means which answers the removal actuation, reads the table data in said buffer memory, and is written in the file allocation table field in flash memory card.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to data processors, such as a handy terminal which accesses the flash memory which consisted of EEPROMs etc. and writes file data in that data area.

[0002]

[Description of the Prior Art] Generally, the flash memory is constituted within the limits of the count which is decided beforehand and which can be written in (usually about 10,000 times) by EPROM and EEPROM which can be re-written in arbitration by the user, and is made to perform re-writing ultraviolet rays and by eliminating data electrically. This flash memory has a file allocation table field (FAT field) besides a data area, this FAT field is the map which manages the activity field on memory intensively by Cluster No for every block of a 1-K byte unit, and the used clusters No are enumerated for every file. In the data processor equipped with such a flash memory, when one file is divided and stored in the data area in a flash memory, he is trying to grasp as one file by referring to a FAT field, but if a FAT field is written in compared with a data area, a count increases extremely and the count which can be written in is exceeded, it will become impossible using the whole card. If a FAT field current in use approaches the count which can be written in in the former as the cure, what attained reinforcement of a flash memory is known by securing the free space prepared beforehand as a new FAT field.

[0003]

[Problem(s) to be Solved by the Invention] However, a data area will be narrowed so much and assigning a free space beforehand to a flash memory as a reserve of a FAT field had the fault that the whole memory was effectively unutilizable. Even if the technical problem of this invention does not prepare the reserve of a file allocation table field in a flash memory, it enables that long-term activity by reducing the count of writing of a flash memory substantially, and also it is enabling it to also realize high-speed writing.

[0004]

[Means for Solving the Problem] The means of the 1st invention (invention given in a claim (1)) is as follows. In the data processor which carries out direct access of the flash memory, and writes file data in the data area, the (1) and 1st write-in means reads table data from the file allocation table field in a flash memory, and writes them in buffer memory. In addition, the flash memory is constituted by EPROM and EEPROM. Moreover, buffer memory is random access memory etc. as an internal memory.

Whenever (2) and an updating means write file data in the data area in a flash memory, they update the table data in said buffer memory.

The (3) and 2nd write-in means reads the table data in said buffer memory, and writes them in the file allocation table field in a flash memory. In addition, said 1st write-in means reads table data from the file allocation table in a flash memory at the time of power-source ON, and writes them in buffer memory, and you may make it said 2nd write-in means write the table data in buffer memory in the allocation table in a flash memory at the time of power-source OFF. The means of the 2nd invention (invention given in a claim (3)) is as follows. In the data processor which carries out direct access of the flash memory card with which the main frame was equipped, and writes file data in the data area, (1) and a detection means detect installation/removal of flash memory card.

When it is detected that flash memory card was attached by this detection means, the (2) and 1st write-in means reads table data from the file allocation table field in flash memory card, and writes them in buffer memory.

Whenever (3) and an updating means write file data in the data area in flash memory card, they update the table data in said buffer memory.

Before removal of flash memory card is detected by said detection means, the (4) and 2nd write-in means answers the

removal actuation, reads the table data in said buffer memory, and writes them in the file allocation table field in flash memory card. Here, the removal actuation before removal of a card is detected is actuation for canceling the lock condition of a card etc., before an eject button is operated.

[0005]

[Function] The operation of the means of the 1st invention is as follows. First, before starting the processing which writes file data in the data area in a flash memory, table data are beforehand read from the file allocation table field, and it transmits to buffer memory, such as RAM. In this condition, if processing which writes in data to the data area in a flash memory is performed, whenever data are written in, the table data in buffer memory will be updated. In this case, generally, the count of rewriting to a file allocation table field is performed quite frequently compared with a data area, and usually becomes 10 or more times. For this reason, where the table data in a file allocation table field are transmitted to buffer memory, it is made to update table data. Direct access of the file allocation table field is carried out, and this enables it reducing the count of rewriting extremely rather than rewriting the content. Moreover, in order for buffer memory to operate as a kind of cache memory to a flash memory, the high-speed writing of it is attained. Thus, if the writing to a flash memory finishes, the table data in this buffer memory will be returned in the file allocation table field in a flash memory. The operation of the means of the 2nd invention is as follows. In the data processor which carries out direct access of the flash memory card with which the main frame was equipped, and writes file data in the data area, installation/removal of flash memory card are interlocked with, and the writing of table data is performed between flash memory card and buffer memory. That is, if flash memory card is attached, the table data in a file allocation table field will be transmitted to buffer memory. Moreover, in case flash memory card is removed, the table data in buffer memory are returned to the file allocation table field in flash memory card. Therefore, even if it does not prepare the reserve of a file allocation table field in a flash memory, the long-term activity is enabled by reducing the count of writing of a flash memory substantially, and also high-speed writing is realizable.

[0006]

[The 1st example] Hereafter, the 1st example is explained with reference to drawing 1 - drawing 6 . Drawing 1 is the block block diagram of a data processor. It is the arithmetic and program control which controls actuation by this whole data processor according to the various programs stored in the ROM2 grade, and CPU1 incorporates the data inputted from the key input section 3, changes them into an indicative data, is written in display memory 4, and a display output is carried out from a display 5, or it stores [it processes input data and] it in RAM6. Moreover, CPU1 carries out direct access of the flash memory card 7, and writes file data in the data area through the card connector 8. Here, wearing of a RAM card (not shown) other than the flash memory card 7 as external memory is attained at the card connector 8, and the card insertion-and-detachment detecting element 9 detects whether the card connector 8 was equipped with flash memory card 7 or a RAM card, and gives the detection result to CPU1.

[0007] Drawing 2 shows the card lock device of the card insertion-and-detachment detecting element 9. In the condition of having inserted flash memory card 7 and a RAM card in the body 11 of equipment, and having connected the memory card to the card connector 8 electrically here If the lock plate 12 is made to slide in the direction of drawing Nakamigi and a memory card is locked Even if it pushes the injection carbon button 13, a memory card cannot be sampled, but if the lock plate 12 is made to slide leftward in drawing and the lock condition of a memory card is canceled, actuation of the injection carbon button 13 will be answered and a memory card will be extracted. Under the present circumstances, the lock plate 12 pushes moving-part 14a attached in the lock switch 14 possible [vertical movement], and makes a lock switch 14 turn off. When a lock switch 14 is interlocked with the lock plate 12, its lock condition / release condition is detected and the lock plate 12 is in the location of a graphic display, moving-part 14a is ahead projected according to the spring force, and becomes switch-on, and a lock condition is detected. Although CPU1 recognizes a lock condition / release condition by the detecting signal of this lock switch 14, write-in processing which mentions CPU1 later to flash memory card 7 after a lock is released until the injection carbon button 13 is operated (i.e., until a memory card is extracted actually) is performed. In addition, the terminal 8-1 for card detection is a terminal prepared in the card connector 8, and is for detecting whether flash memory card 7 was connected and whether the RAM card connected.

[0008] Drawing 3 shows the memory map of the flash memory card 7 which is ROM2, RAM6, and external memory which are an internal memory. Flash memory card 7 is constituted by EEPROM and the data area 7-1 and the FAT (file allocation table) field 7-2 are assigned to this EEPROM. ROM2 is fixed memory which memorizes various kinds of programs, such as an OPERETIGU system and a I / O control program. While the FAT field duplicate section 6-3 in which the table data by which reading appearance was carried out from the data area 7-1 in flash memory card 7 are written is formed in this example besides user area 6-1 and a work area 6-2, as for RAM6, the FAT duplicate flag register 6-4 and the renewal flag register 6-5 of FAT are formed. Here, the FAT duplicate flag register 6-4 memorizes

the flag which shows what the content of this FAT field 7-2 was reproduced for by RAM6 from flash memory card 7, and the renewal flag register 6-5 of FAT memorizes the flag which shows that the content of the FAT field duplicate section 6-3 was updated. Here CPU1 by the card insertion-and-detachment detecting element 9 When it is detected that flash memory card 7 was attached (when a lock switch 14 is specifically turned on), read table data from the FAT field 7-2 in flash memory card 7, and it transmits to the FAT field duplicate section 6-3 in RAM6. Moreover, before flash memory card 7 is sampled actually, table data are read from the FAT field duplicate section 6-3 of RAM6 (when a lock switch 14 is specifically turned on), and it returns to the FAT field 7-2 of flash memory card 7.

[0009] Next, actuation of this example is explained with reference to drawing 4 - drawing 6. Drawing 4 is the flow chart which showed the actuation at the time of the card connector 8 being equipped with a memory card. First, it is confirmed whether the card connector 8 was equipped with flash memory card 7 according to the signal level inputted from the terminal 8-1 for card detection of the card connector 8, and whether the RAM card was equipped with CPU1 (step A1). Here, if it is a RAM card, it will shift to processing of a RAM card, but if it is flash memory card 7, it progresses to step A2, table data (FAT data) are read from the FAT field 7-2 in flash memory card 7, and it stores in the FAT field duplicate section 6-3 of RAM6. And "1" is set to the FAT duplicate flag register 6-4 in order to show having written and moved table data from flash memory card 7 to RAM6 (step A3). Drawing 5 is the flow chart which showed file write-in processing. First, it confirms whether to be writing of as opposed to [CPU /1] the FAT field in access to flash memory card 7 or a RAM card (step B1). Here, if it is the writing to a FAT field, on condition that [on condition of the flag "1" being set to the FAT duplicate flag register 6-4 that is,] it is equipped with flash memory card 7, instead of the FAT field 7-2 in (step B-2) and flash memory card 7, the FAT field duplicate section 6-3 in RAM6 will be accessed, and the table data will be updated (step B3). And "1" is set to the renewal flag register 6-5 of FAT in order to show having updated the content of the FAT field duplicate section 6-3 (step B4). Thus, instead of the FAT field 7-2 of flash memory card 7, the writing to a FAT field is performed to the FAT field duplicate section 6-3. On the other hand, if it is the writing to the data area 7-1 of flash memory card 7, that will be detected at step B1, it will progress to step B5, direct access of the data area 7-1 in flash memory card 7 will be carried out, and file data will be written in a data area 7-1. Moreover, if table data are not stored in the FAT field duplicate section 6-3 even if it is the writing to a FAT field that is, if equipped with the RAM card, that will be detected by step B-2, it will progress to step B5, and writing will be performed to the FAT field of a RAM card.

[0010] Drawing 6 is the flow chart which showed the actuation at the time of a memory card being taken out from the card connector 8. Here, although the lock plate 12 is made to slide and a lock condition is made to release first in case a memory card is taken out, a lock switch 14 serves as switch-off by pushing the moving-part 14a on the interior by migration of the lock plate 12 in that case. Then, CPU1 will perform actuation according to the flow chart of drawing 6, if OFF of this lock switch 14 is detected, on condition that the flag "1" is set to the FAT duplicate flag register 6-4 and the renewal flag register 6-5 of FAT, it reads table data from the FAT field duplicate section 6-3 of (steps C1 and C2) and RAM6, and it returns them to the FAT field 7-2 of flash memory card 7 (step C3). And "0" is set to the FAT duplicate flag register 6-4 and the renewal flag register 6-5 of FAT, respectively, and each flag is cleared (steps C4 and C5). In addition, when a FAT duplicate flag takes out a RAM card by "0", that is detected at step C1 and it escapes from this flow. Moreover, if the table data in the FAT field duplicate section 6-3 are not updated at all even when taking out flash memory card 7, since it is not necessary to return the content of the FAT field duplicate section 6-3, only processing which only clears a FAT duplicate flag is performed (step C5).

[0011]

[The 2nd example] Hereafter, the 2nd example is explained with reference to drawing 7 - drawing 10. Drawing 7 is the block block diagram of a data processor, and it is the configuration of having the flash memory 21 besides ROM2 and RAM6 as an internal memory in this example. Actuation of the power switch PWS is interlocked with and the table data read from the FAT field 21-2 in a flash memory 21 at the time of power-on are transmitted to the FAT field duplicate section 6-3 of RAM6. Moreover, the table data in the FAT field duplicate section 6-3 are returned to the FAT field 21-2 of a flash memory 21 at the time of power-off. Renewal of table data is performed by others like the 1st example of the above to the FAT field duplicate section 6-3 in RAM6.

[0012] When power-on of the power switch PWS is operated and carried out now, as shown in drawing 8, reading appearance of the table data is carried out from the FAT field 21-2 in a flash memory 21, and it is stored in the FAT field duplicate section 6-3 in RAM6 (step D). Next, if the write-in processing to a flash memory 21 is started, as shown in the flow chart of drawing 9, first, it confirms whether to be the writing to the FAT field 21-2 (step E1), and if it is the writing to the FAT field 21-2, instead of the FAT field 21-2, the FAT field duplicate section 6-3 of RAM6 will be accessed, and the table data will be updated (step E2). And "1" is set to the renewal flag register 6-5 of FAT in RAM6 (step E3). On the other hand, if it is the writing to the FAT field 21-2 in a flash memory 21, file data will be written in

this FAT field 21-2 (step E4).

[0013] Drawing 10 is the flow chart which showed the actuation at the time of power-off being directed by actuation of the power switch PSW, and with reference to the renewal flag register 6-5 of FAT, on condition that the flag "1" is set, the table data in (step F1) FAT field duplicate section 6-3 are returned to the FAT field 21-2 of a flash memory 21 (step F2). And after clearing the content of the renewal flag register 6-5 of FAT (step F3), power-off processing is performed and the Main power source is intercepted (step F4). In addition, since it is not necessary to return the content of the FAT field duplicate section 6-3 when the table data in the FAT field duplicate section 6-3 are not updated at all, power-off processing is performed as it is.

[0014] As mentioned above, in case flash memories, such as EEPROM to which a user can perform re-writing to arbitration in each above-mentioned example within the limits of the count which can be written in, are accessed, it writes in compared with the data area, and the writing to a FAT field with very many counts is performed to the FAT field duplicate section 6-3 in RAM6. While being able to reduce the count of rewriting substantially rather than it carries out direct access of the FAT field in a flash memory and rewrites the content by this, in order for the FAT field duplicate section 6-3 of RAM6 to operate as a kind of cache memory to a flash memory, the high-speed writing of it is attained. Moreover, the 1st example of the above transmits the FAT field 7-2 in flash memory card 7 to the FAT field duplicate section 6-3, when the card connector 8 is equipped with flash memory card 7. Moreover, since the content of the FAT field duplicate section 6-3 was returned to the FAT field 7-2 of flash memory card 7 before flash memory card 7 was thoroughly taken out from the card connector 8. While insertion and detachment of flash memory card 7 can be interlocked with and being able to deliver table data automatically between RAM6 and flash memory card 7. Since the delivery is not performed for every file but it is carried out to the writing of all files, the count of delivery also serves as the minimum. Moreover, while the 2nd example can be interlocked with actuation of the power switch PSW and being able to deliver table data automatically between RAM6 and a flash memory 21, the count of delivery also serves as the minimum.

[0015] In addition, although the above-mentioned example is interlocked with insertion and detachment of flash memory card 7, and actuation of the power switch PSW and it was made to deliver table data between a flash memory and RAM, the specific switch whose user directs the delivery to arbitration may be formed, or automatic distinction is carried out in the write-in initiation / termination to a flash memory, and it may be made to carry out the delivery.

[0016]

[Effect of the Invention] Since the table data in this buffer memory were updated in the condition of having incorporated table data from the file allocation table field, and having transmitted in the flash memory at buffer memory according to this invention Like before, even if it does not prepare the reserve of a file allocation table field in a flash memory, the long-term activity is enabled by reducing the count of writing of a flash memory substantially, and also high-speed writing is realizable.

[Translation done.]

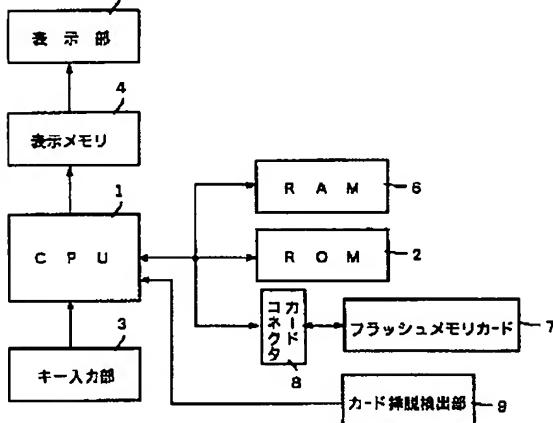
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

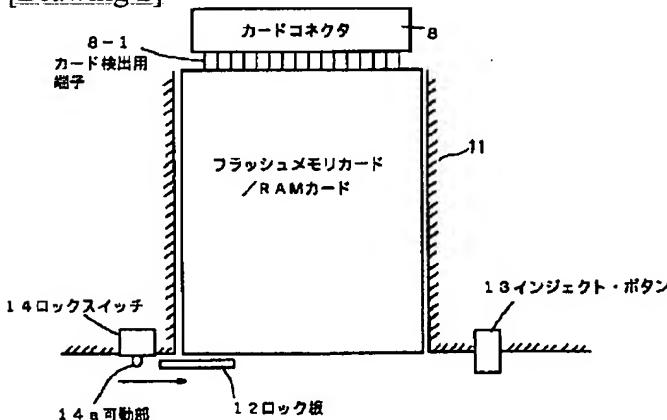
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

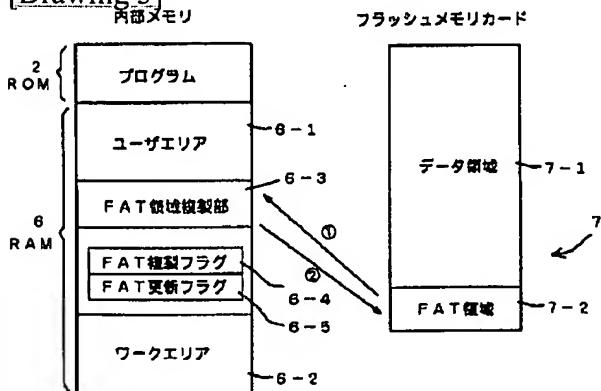
[Drawing 1]



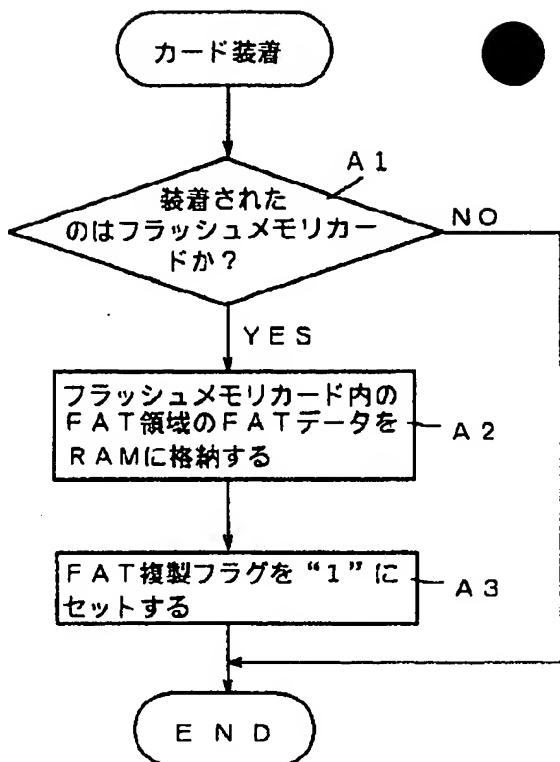
[Drawing 2]



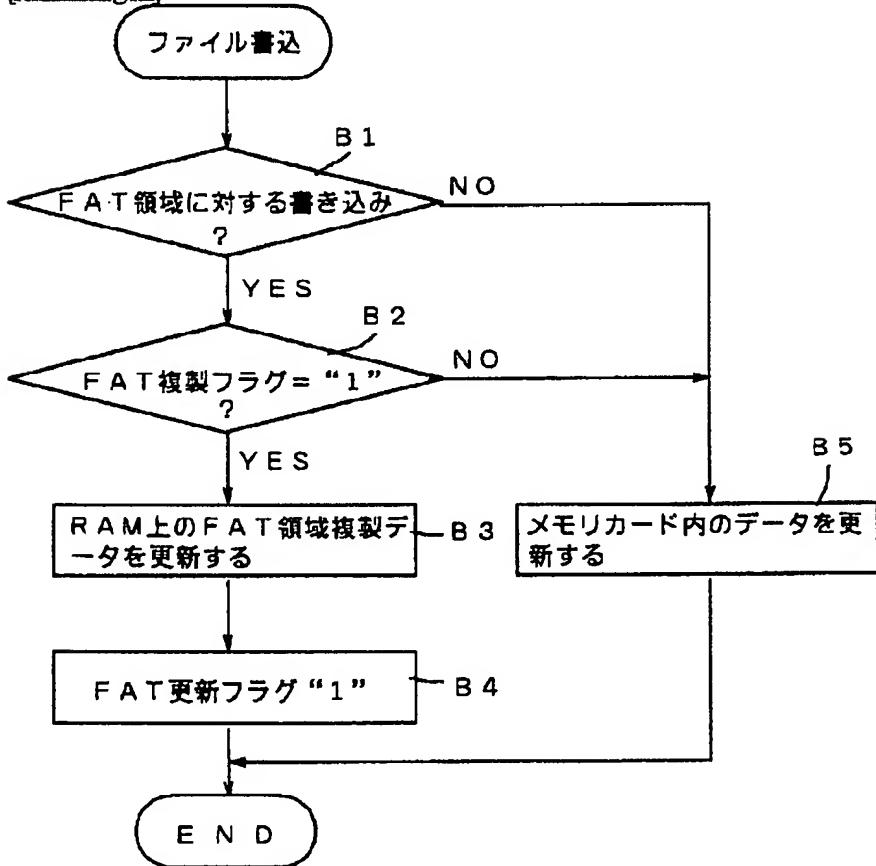
[Drawing 3]



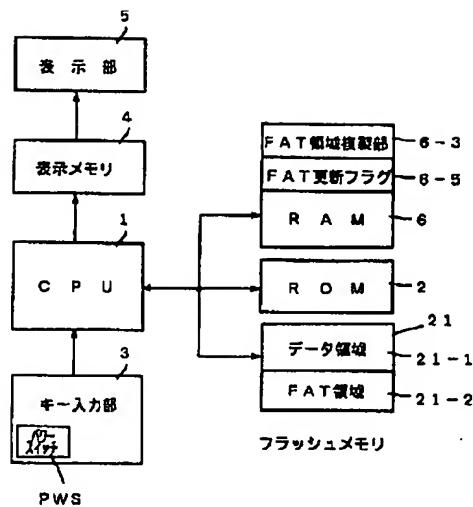
[Drawing 4]



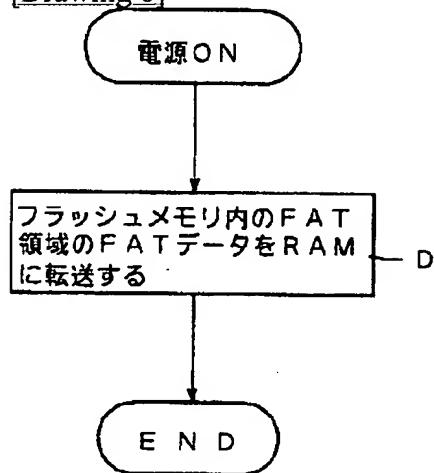
[Drawing 5]



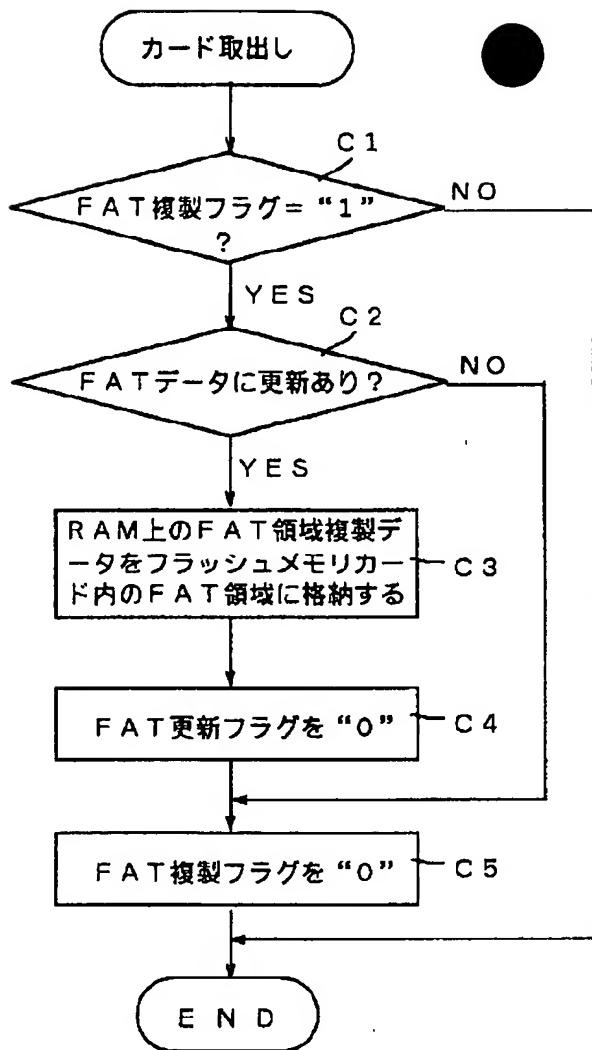
[Drawing 7]



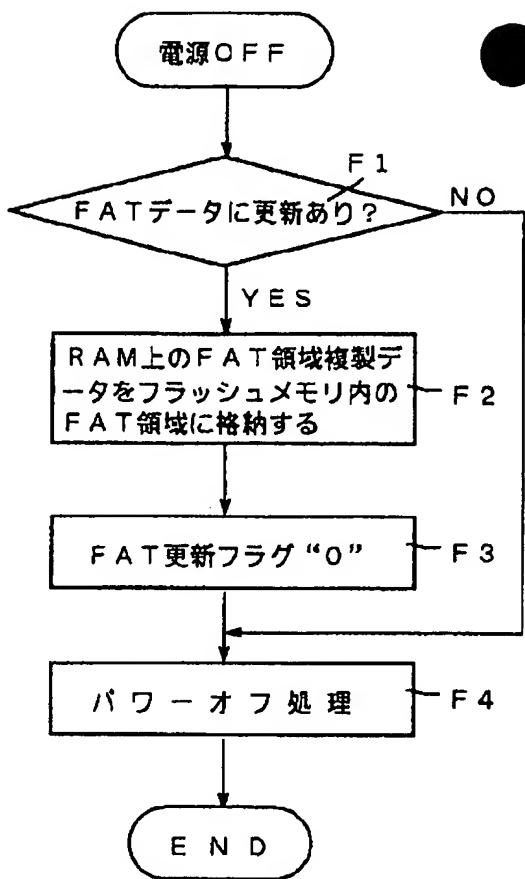
[Drawing 8]



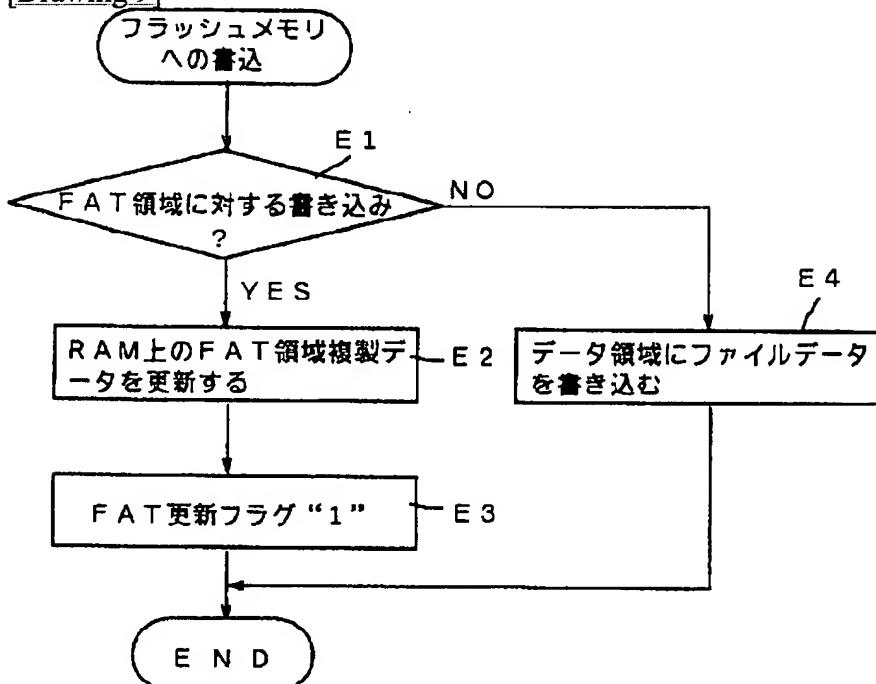
[Drawing 6]



[Drawing 10]



[Drawing 9]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-295866

(43)公開日 平成7年(1995)11月10日

(51)Int.Cl.^o 識別記号 庁内整理番号 F I
G 06 F; 12/00 5 0 1 H 7608-5B
12/16 3 1 0 A 7608-5B
G 11 C 16/06 G 11 C 17/ 00 3 0 9 F
技術表示箇所

審査請求 未請求 請求項の数3 FD (全9頁)

(21)出願番号 特願平6-104297

(22)出願日 平成6年(1994)4月20日

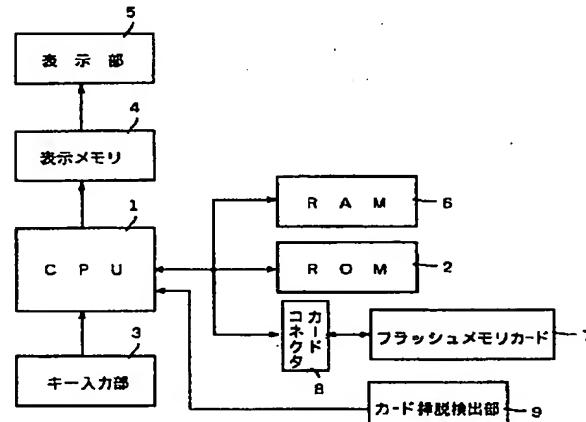
(71)出願人 000001443
カシオ計算機株式会社
東京都新宿区西新宿2丁目6番1号
(72)発明者 西谷 耕司
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内
(72)発明者 岩瀬 正彦
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内
(72)発明者 杉本 正信
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 データ処理装置

(57)【要約】

【目的】 フラッシュメモリ内にファイル・アロケーション・テーブル領域の予備を設けておかなくても、フラッシュメモリの書き込み回数を大幅に削減することによって、その長期的な使用を可能とする他、高速書き込みも実現する。

【構成】 フラッシュメモリカード7が装着されると、CPU1はそのFAT領域内からテーブルデータを読み出してRAM6に格納する。フラッシュメモリカード7をアクセスする際、CPU1はRAM6内のテーブルデータを更新する。フラッシュメモリカード7を取り出される際、CPU1はそれに先立ってRAM6内のテーブルデータをフラッシュメモリカード7のFAT領域に書き戻す。



1

【特許請求の範囲】

【請求項1】フラッシュメモリを直接アクセスしてそのデータ領域にファイルデータを書き込むデータ処理装置において、

フラッシュメモリ内のファイル・アロケーション・テーブル領域からテーブルデータを読み出してバッファメモリに書き込む第1の書き込み手段と、

フラッシュメモリ内のデータ領域にファイルデータを書き込む毎に、前記バッファメモリ内のテーブルデータを更新する更新手段と、

前記バッファメモリ内のテーブルデータを読み出してフラッシュメモリ内のファイル・アロケーション・テーブル領域に書き込む第2の書き込み手段と、

を具備したことを特徴とするデータ処理装置。

【請求項2】前記第1の書き込み手段は電源オン時に、フラッシュメモリ内のファイル・アロケーション・テーブルからテーブルデータを読み出してバッファメモリに書き込み、前記第2の書き込み手段は電源オフ時に、バッファメモリ内のテーブルデータをフラッシュメモリ内のアロケーション・テーブルに書き込むようにしたことを特徴とする請求項(1)記載のデータ処理装置。

【請求項3】本体装置に装着されたフラッシュメモリカードを直接アクセスしてそのデータ領域にファイルデータを書き込むデータ処理装置において、

フラッシュメモリカードの取り付け／取り外しを検出する検出手段と、

この検出手段によってフラッシュメモリカードが取り付けられたことが検出された際に、フラッシュメモリカード内のファイル・アロケーション・テーブル領域からテーブルデータを読み出してバッファメモリに書き込む第1の書き込み手段と、

フラッシュメモリカード内のデータ領域にファイルデータを書き込む毎に、前記バッファメモリ内のテーブルデータを更新する更新手段と、

前記検出手段によってフラッシュメモリカードの取り外しが検出される前に、その取り外し操作に応答して前記バッファメモリ内のテーブルデータを読み出してフラッシュメモリカード内のファイル・アロケーション・テーブル領域に書き込む第2の書き込み手段と、

を具備したことを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、EEPROM等で構成されたフラッシュメモリをアクセスしてそのデータ領域にファイルデータを書き込むハンドィターミナル等のデータ処理装置に関する。

【0002】

【従来の技術】一般に、フラッシュメモリは予め決められている書き込み可能回数の範囲内（通常は1万回程度）でユーザによって任意に再書き込みできるEPRO

2

MやEEPROMによって構成されており、紫外線や電気的にデータを消去することにより再書き込みを行うようしている。このフラッシュメモリはデータ領域の他、ファイル・アロケーション・テーブル領域（FAT領域）を有し、このFAT領域は例えば1Kバイト単位のブロック毎にメモリ上の使用領域をクラスタNoにより集中的に管理するマップで、ファイル毎に使用済みのクラスタNoが羅列されている。このようなフラッシュメモリを備えたデータ処理装置において、1つのファイルが

10 フラッシュメモリ内のデータ領域内に分割して格納されている場合に、FAT領域を参照することによって1つのファイルとして把握するようしているが、FAT領域はデータ領域に比べて書き込み回数が極めて多くなり、書き込み可能回数を越えてしまうと、カード全体が使用不能となる。その対策として従来においては、現在使用中のFAT領域が書き込み可能回数に近づくと、予め用意しておいた未使用領域を新たなFAT領域として確保することによりフラッシュメモリの長寿命化を図るようにしたもののが知られている。

【0003】

【発明が解決しようとする課題】しかしながら、フラッシュメモリに予めFAT領域の予備として未使用領域を割り当てておくことは、それだけデータ領域が狭められてしまい、メモリ全体を有効に活用することができないという欠点があった。この発明の課題は、フラッシュメモリ内にファイル・アロケーション・テーブル領域の予備を設けておかなくとも、フラッシュメモリの書き込み回数を大幅に削減することによって、その長期的な使用を可能とする他、高速書き込みも実現できるようにすることである。

【0004】

【課題を解決するための手段】第1の発明（請求項(1)記載の発明）の手段は次の通りである。フラッシュメモリを直接アクセスしてそのデータ領域にファイルデータを書き込むデータ処理装置において、

(1)、第1の書き込み手段はフラッシュメモリ内のファイル・アロケーション・テーブル領域からテーブルデータを読み出してバッファメモリに書き込む。なお、フラッシュメモリはEEPROMやEEPROMによって構成されている。また、バッファメモリは内部メモリとしてランダムアクセスメモリ等である。

(2)、更新手段はフラッシュメモリ内のデータ領域にファイルデータを書き込む毎に、前記バッファメモリ内のテーブルデータを更新する。

(3)、第2の書き込み手段は前記バッファメモリ内のテーブルデータを読み出してフラッシュメモリ内のファイル・アロケーション・テーブル領域に書き込む。なお、前記第1の書き込み手段は電源オン時に、フラッシュメモリ内のファイル・アロケーション・テーブルからテーブルデータを読み出してバッファメモリに書き込み、前記第2

50

の書き手段は電源オフ時に、バッファメモリ内のテーブルデータをフラッシュメモリ内のアロケーション・テーブルに書き込むようにしてもよい。

第2の発明（請求項（3）記載の発明）の手段は次の通りである。本体装置に装着されたフラッシュメモリカードを直接アクセスしてそのデータ領域にファイルデータを書き込むデータ処理装置において、

（1）、検出手段はフラッシュメモリカードの取り付け／取り外しを検出する。

（2）、第1の書き手段はこの検出手段によってフラッシュメモリカードが取り付けられたことが検出された際に、フラッシュメモリカード内のファイル・アロケーション・テーブル領域からテーブルデータを読み出してバッファメモリに書き込む。

（3）、更新手段はフラッシュメモリカード内のデータ領域にファイルデータを書き込む毎に、前記バッファメモリ内のテーブルデータを更新する。

（4）、第2の書き手段は前記検出手段によってフラッシュメモリカードの取り外しが検出される前に、その取り外し操作に応答して前記バッファメモリ内のテーブルデータを読み出してフラッシュメモリカード内のファイル・アロケーション・テーブル領域に書き込む。ここで、カードの取り外しが検出される前の取り外し操作とは、例えば、インジェクトボタンが操作される前にカードのロック状態を解除するための操作等である。

【0005】

【作用】第1の発明の手段の作用は次の通りである。まず、フラッシュメモリ内のデータ領域にファイルデータを書き込む処理を開始する前に、予めそのファイル・アロケーション・テーブル領域からテーブルデータを読み出してRAM等のバッファメモリに転送しておく。この状態において、フラッシュメモリ内のデータ領域に対してデータを書き込む処理を行うと、データが書き込まれる毎にバッファメモリ内のテーブルデータが更新される。この場合、一般にファイル・アロケーション・テーブル領域に対する書き換え回数は、データ領域に比べてかなり頻繁に行われ、通常10倍以上となる。このため、ファイル・アロケーション・テーブル領域内のテーブルデータをバッファメモリに転送した状態でテーブルデータの更新を行うようにしている。これによって、ファイル・アロケーション・テーブル領域を直接アクセスしてその内容を書き換えるよりもその書き換え回数を極端に減らすことが可能となる。また、バッファメモリはフラッシュメモリに対して一種のキャッシュメモリとして動作するようになるため、高速書き込みが可能となる。このようにしてフラッシュメモリに対する書き込みが終ると、このバッファメモリ内のテーブルデータはフラッシュメモリ内のファイル・アロケーション・テーブル領域内に書き戻される。第2の発明の手段の作用は次の通りである。本体装置に装着されたフラッシュメモリ

カードを直接アクセスしてそのデータ領域にファイルデータを書き込むデータ処理装置において、フラッシュメモリカードの取り付け／取り外しに連動してフラッシュメモリカードとバッファメモリとの間でテーブルデータの書き込みが行われる。すなわち、フラッシュメモリカードが取り付けられると、ファイル・アロケーション・テーブル領域内のテーブルデータがバッファメモリに転送される。また、フラッシュメモリカードが取り外される際に、バッファメモリ内のテーブルデータがフラッシュメモリカード内のファイル・アロケーション・テーブル領域に書き戻される。したがって、フラッシュメモリ内にファイル・アロケーション・テーブル領域の予備を設けておかなくても、フラッシュメモリの書き込み回数を大幅に削減することによって、その長期的な使用を可能とする他、高速書き込みも実現することができる。

【0006】

【第1実施例】以下、図1～図6を参照して第1実施例を説明する。図1はデータ処理装置のブロック構成図である。CPU1はROM2等に格納されている各種プログラムにしたがってこのデータ処理装置の全体動作を制御する中央演算処理装置であり、キー入力部3から入力されたデータを取り込み、表示データに変換して表示メモリ4に書き込んで表示部5から表示出力せたり、入力データを処理してRAM6に格納する。また、CPU1はフラッシュメモリカード7を直接アクセスし、カードコネクタ8を介してそのデータ領域にファイルデータを書き込む。ここで、カードコネクタ8には外部メモリとしてのフラッシュメモリカード7の他にRAMカード（図示せず）も装着可能となっており、カード挿脱検出部9はカードコネクタ8にフラッシュメモリカード7やRAMカードが装着されたかを検出し、その検出結果をCPU1に与える。

【0007】図2はカード挿脱検出部9のカードロック機構を示している。ここで、装置本体11にフラッシュメモリカード7やRAMカードを差し込んでカードコネクタ8にメモリカードを電気的に接続させた状態において、ロック板12を図中右方向にスライドさせてメモリカードをロックすると、インジェクト・ボタン13を押してもメモリカードを抜き取ることはできないが、ロック板12を図中左方向にスライドさせてメモリカードのロック状態を解除すると、インジェクト・ボタン13の動作に応答してメモリカードは抜き出される。この際、ロック板12はロックスイッチ14に上下動可能に取り付けられた可動部14aを押し入れてロックスイッチ14をオフさせる。ロックスイッチ14はロック板12に連動してそのロック状態／解放状態を検出するもので、ロック板12が図示の位置にあるとき、可動部14aがバネ力によって前方に突き出されてスイッチオンとなり、ロック状態を検出する。このロックスイッチ14の検出信号によってCPU1はロック状態／解放状態を認

識するが、ロックが解放されてからインジェクト・ボタン13が操作されるまでの間、つまり、メモリカードが実際に抜き出されるまでの間に、CPU1はフラッシュメモリカード7に対して後述する書き込み処理を行う。なお、カード検出用端子8-1はカードコネクタ8に設けられた端子で、フラッシュメモリカード7が接続されたのか、RAMカードが接続されたかを検出するためのものである。

【0008】図3は内部メモリであるROM2、RAM6と外部メモリであるフラッシュメモリカード7のメモリマップを示したものである。フラッシュメモリカード7はEEPROMによって構成されており、このEEPROMにはデータ領域7-1とFAT(ファイル・アロケーション・テーブル)領域7-2が割り当てられている。ROM2はオペレーティングシステムや入出力制御プログラム等、各種のプログラムを記憶する固定メモリである。RAM6はユーザエリア6-1、ワークエリア6-2の他、本実施例においては、フラッシュメモリカード7内のデータ領域7-1から読み出されたテーブルデータが書き込まれるFAT領域複製部6-3が設けられていると共に、FAT複製フラグレジスタ6-4、FAT更新フラグレジスタ6-5が設けられている。ここで、FAT複製フラグレジスタ6-4はフラッシュメモリカード7からこのFAT領域7-2の内容がRAM6に複製されたことを示すフラグを記憶し、また、FAT更新フラグレジスタ6-5はFAT領域複製部6-3の内容が更新されたことを示すフラグを記憶する。ここで、CPU1はカード挿脱検出部9によってフラッシュメモリカード7が取り付けられたことが検出された際(具体的にはロックスイッチ14がオンされた際)にフラッシュメモリカード7内のFAT領域7-2からテーブルデータを読み出してRAM6内のFAT領域複製部6-3に転送し、またフラッシュメモリカード7が実際に抜き取られる前に(具体的にはロックスイッチ14がオンされた際に)RAM6のFAT領域複製部6-3からテーブルデータを読み出してフラッシュメモリカード7のFAT領域7-2に書き戻す。

【0009】次に、本実施例の動作を図4～図6を参照して説明する。図4はカードコネクタ8にメモリカードが装着された際の動作を示したフローチャートである。先ず、CPU1はカードコネクタ8のカード検出用端子8-1から入力された信号レベルにしたがってカードコネクタ8にフラッシュメモリカード7が装着されたのか、RAMカードが装着されたのかをチェックする(ステップA1)。ここで、RAMカードであればRAMカードの処理に移行するが、フラッシュメモリカード7であれば、ステップA2に進み、フラッシュメモリカード7内のFAT領域7-2からテーブルデータ(FATデータ)を読み出してRAM6のFAT領域複製部6-3に格納する。そして、フラッシュメモリカード7からR

AM6にテーブルデータを書き移したことと示すために、FAT複製フラグレジスタ6-4に“1”をセットしておく(ステップA3)。図5はファイル書き込み処理を示したフローチャートである。先ず、CPU1はフラッシュメモリカード7やRAMカードへのアクセスがそのFAT領域に対する書き込みかをチェックする(ステップB1)。ここで、FAT領域への書き込みであれば、FAT複製フラグレジスタ6-4にフラグ“1”がセットされていることを条件に、つまりフラッシュメモリカード7が装着されていることを条件に(ステップB2)、フラッシュメモリカード7内のFAT領域7-2に代わり、RAM6内のFAT領域複製部6-3をアクセスし、そのテーブルデータの更新を行う(ステップB3)。そして、FAT領域複製部6-3の内容を更新したことを示すためにFAT更新フラグレジスタ6-5に“1”をセットしておく(ステップB4)。このようにフラッシュメモリカード7のFAT領域7-2に代わってFAT領域への書き込みはFAT領域複製部6-3に対して行われる。一方、フラッシュメモリカード7のデータ領域7-1に対する書き込みであれば、ステップB1でそのことが検出されてステップB5に進み、フラッシュメモリカード7内のデータ領域7-1を直接アクセスしてファイルデータをデータ領域7-1に書き込む。また、FAT領域への書き込みであってもFAT領域複製部6-3にテーブルデータが格納されていなければ、つまり、RAMカードが装着されればステップB2でそのことが検出されてステップB5に進み、RAMカードのFAT領域に対して書き込みが行われる。

【0010】図6はカードコネクタ8からメモリカードが取り出される際の動作を示したフローチャートである。ここで、メモリカードを取り出す際には先ず、ロック板12をスライドさせてロック状態を解放させるが、その際、ロックスイッチ14はその可動部14aがロック板12の移動によって内部に押し入れられることによりスイッチオフとなる。すると、CPU1はこのロックスイッチ14のオフを検出すると図6のフローチャートにしたがった動作を実行し、FAT複製フラグレジスタ6-4およびFAT更新フラグレジスタ6-5にフラグ“1”がセットされていることを条件に(ステップC1、C2)、RAM6のFAT領域複製部6-3からテーブルデータを読み出してフラッシュメモリカード7のFAT領域7-2に書き戻す(ステップC3)。そして、FAT複製フラグレジスタ6-4、FAT更新フラグレジスタ6-5にそれぞれ“0”をセットして各フラグをクリアする(ステップC4、C5)。なお、FAT複製フラグが“0”でRAMカードを取り出す場合にはステップC1でそのことが検出されてこのフローから抜ける。また、フラッシュメモリカード7を取り出す場合でもFAT領域複製部6-3内のテーブルデータが全く更新されていなければ、FAT領域複製部6-3の内容

7
を書き戻す必要がないので、FAT複製フラグを単にクリアする処理のみが行われる（ステップC5）。

【0011】

【第2実施例】以下、図7～図10を参照して第2実施例を説明する。図7はデータ処理装置のブロック構成図で、本実施例においては内部メモリとしてROM2、RAM6の他、フラッシュメモリ21を有する構成で、パワースイッチPWSの操作に連動し、パワーオン時にフラッシュメモリ21内のFAT領域21-2から読み出したテーブルデータをRAM6のFAT領域複製部6-3に転送し、また、パワーオフ時にFAT領域複製部6-3内のテーブルデータをフラッシュメモリ21のFAT領域21-2に書き戻すようにしたのである。その他は上記第1実施例と同様に、RAM6内のFAT領域複製部6-3に対してテーブルデータの更新が行われる。

【0012】いま、パワースイッチPWSを操作してパワーオンさせると、図8に示すようにフラッシュメモリ21内のFAT領域21-2からテーブルデータが読み出されてRAM6内のFAT領域複製部6-3に格納される（ステップD）。次に、フラッシュメモリ21への書き込み処理が開始されると、先ず、図9のフローチャートに示すように、FAT領域21-2への書き込みかをチェックし（ステップE1）、FAT領域21-2への書き込みであれば、FAT領域21-2に代わってRAM6のFAT領域複製部6-3をアクセスし、そのテーブルデータの更新を行う（ステップE2）。そして、RAM6内のFAT更新フラグレジスタ6-5に“1”をセットしておく（ステップE3）。一方、フラッシュメモリ21内のFAT領域21-2への書き込みであれば、このFAT領域21-2にファイルデータを書き込む（ステップE4）。

【0013】図10はパワースイッチPWSの操作によってパワーオフが指示された際の動作を示したフローチャートで、FAT更新フラグレジスタ6-5を参照し、フラグ“1”がセットされていることを条件に（ステップF1）、FAT領域複製部6-3内のテーブルデータをフラッシュメモリ21のFAT領域21-2に書き戻す（ステップF2）。そして、FAT更新フラグレジスタ6-5の内容をクリアしたのち（ステップF3）、パワーオフ処理を行い、メイン電源を遮断する（ステップF4）。なお、FAT領域複製部6-3内のテーブルデータが全く更新されない場合にはFAT領域複製部6-3の内容を書き戻す必要がないので、そのままパワーオフ処理が行われる。

【0014】以上のように上記各実施例においては、書き込み可能回数の範囲内でユーザが任意に再書き込みを行うことができるEEPROM等のフラッシュメモリをアクセスする際に、そのデータ領域に比べて書き込み回数が極めて多いFAT領域への書き込みは、RAM6内

のFAT領域複製部6-3に対して行われる。これによって、フラッシュメモリ内のFAT領域を直接アクセスしてその内容を書き換えるよりもその書き換え回数を大幅に減らすことができるようになると共に、RAM6のFAT領域複製部6-3はフラッシュメモリに対して一種のキャッシュメモリとして動作するようになるため、高速書き込みが可能となる。また、上記第1実施例はフラッシュメモリカード7がカードコネクタ8に装着された際にフラッシュメモリカード7内のFAT領域7-2

10 をFAT領域複製部6-3に転送し、またフラッシュメモリカード7がカードコネクタ8から完全に取り出される前にFAT領域複製部6-3の内容をフラッシュメモリカード7のFAT領域7-2に書き戻すようにしたから、フラッシュメモリカード7の挿脱に連動してRAM6とフラッシュメモリカード7との間でテーブルデータの受け渡しを自動的に行うと共に、その受け渡しをファイル毎に行うのではなく、全ファイルの書き込みに対して行われるので、その受け渡し回数も最少となる。また、第2実施例はパワースイッチPWSの操作に連動してRAM6とフラッシュメモリ21との間でテーブルデータの受け渡しを自動的に行うことができると共にその受け渡し回数も最少となる。

【0015】なお、上記実施例はフラッシュメモリカード7の挿脱やパワースイッチPWSの操作に連動してフラッシュメモリとRAMとの間でテーブルデータの受け渡しを行うようにしたが、その受け渡しをユーザが任意に指示する特定スイッチを設けるようにしたり、フラッシュメモリへの書き込み開始／終了を自動判別してその受け渡しを行なうようにしてもよい。

30 【0016】

【発明の効果】この発明によれば、フラッシュメモリ内にファイル・アロケーション・テーブル領域からテーブルデータを取り込んでバッファメモリに転送した状態でこのバッファメモリ内のテーブルデータを更新するようにしたから、従来のように、フラッシュメモリ内にファイル・アロケーション・テーブル領域の予備を設けておかなくても、フラッシュメモリの書き込み回数を大幅に削減することによって、その長期的な使用を可能とする他、高速書き込みも実現することができる。

40 【図面の簡単な説明】

【図1】第1実施例に係るデータ処理装置のブロック構成図。

【図2】カード挿脱検出部9のロック機構を説明するための図。

【図3】ROM2、RAM6、フラッシュメモリカード7のメモリマップを示した図。

【図4】カード装着時の動作を示したフローチャート。

【図5】ファイル書き込み時の動作を示したフローチャート。

50 【図6】カード取り外し時の動作を示したフローチャー

ト。

【図7】第2実施例に係るデータ処理装置のブロック構成図。

【図8】電源オン時の動作を示したフローチャート。

【図9】フラッシュメモリ書き込み時の動作を示したフローチャート。

【図10】電源オフ時の動作を示したフローチャート。

【符号の説明】

1 CPU

2 ROM

* 6 RAM

6-3 FAT領域複製部

7、21 フラッシュメモリ

7-1、21-1 データ領域

7-2、21-2 FAT領域

8 カードコネクタ

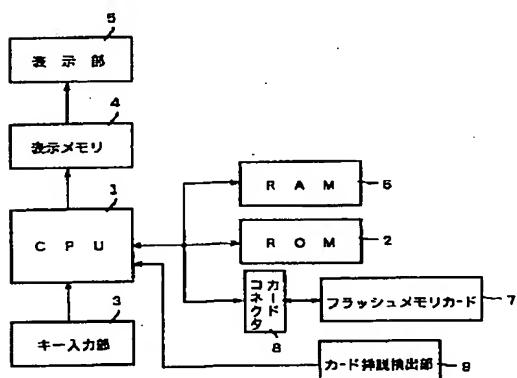
9 カード挿脱検出部

12 ロック板

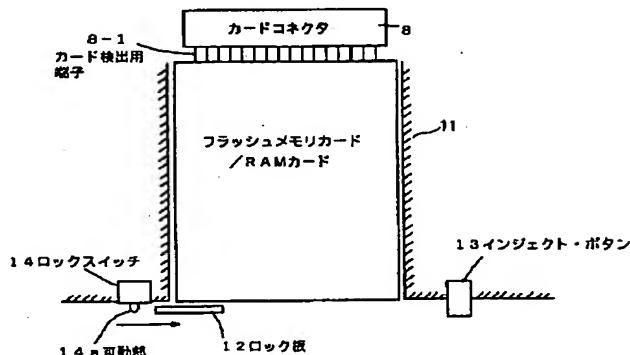
14 ロックスイッチ

*10 PSW パワースイッチ

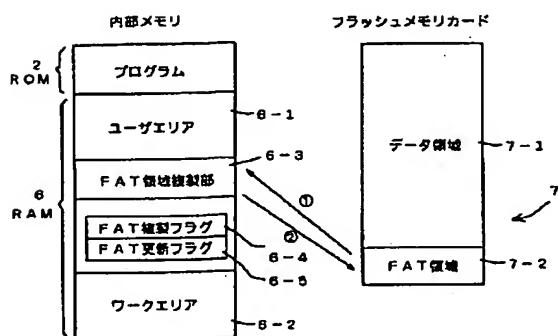
【図1】



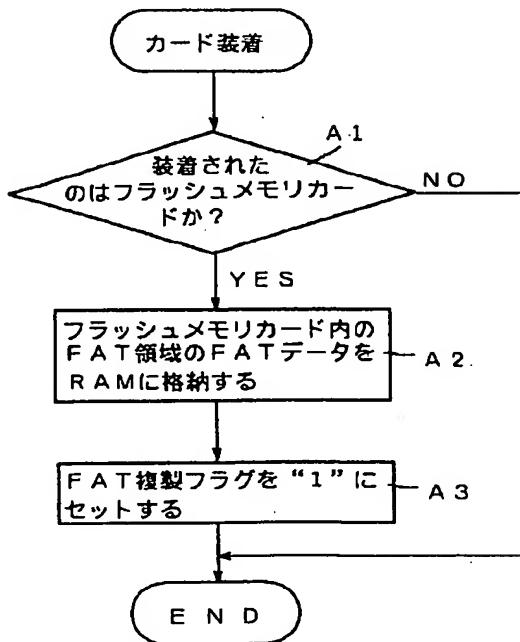
【図2】



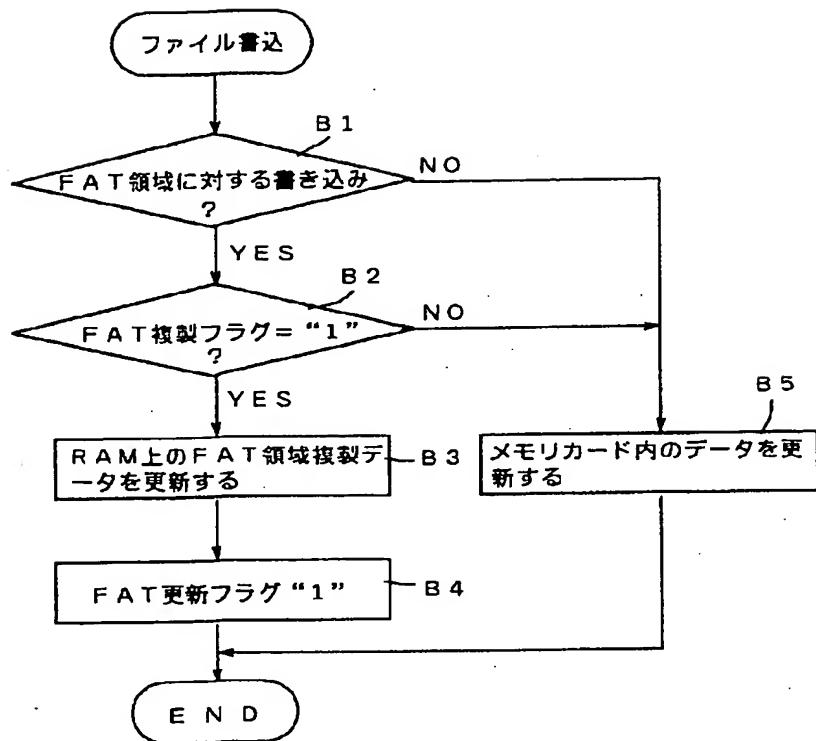
【図3】



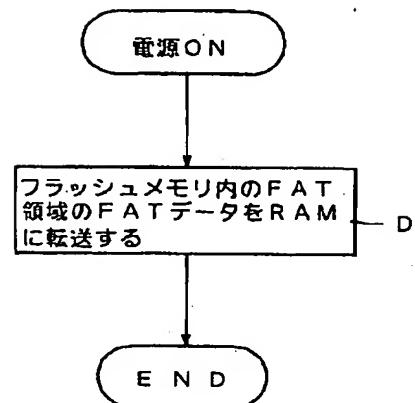
【図4】



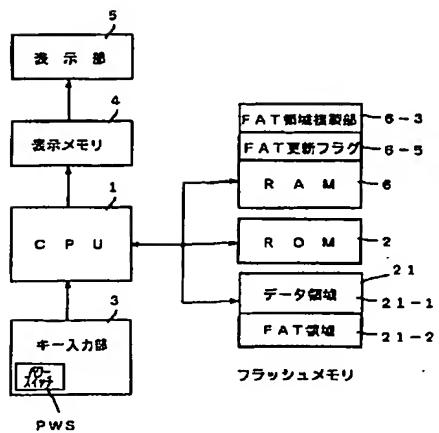
【図5】



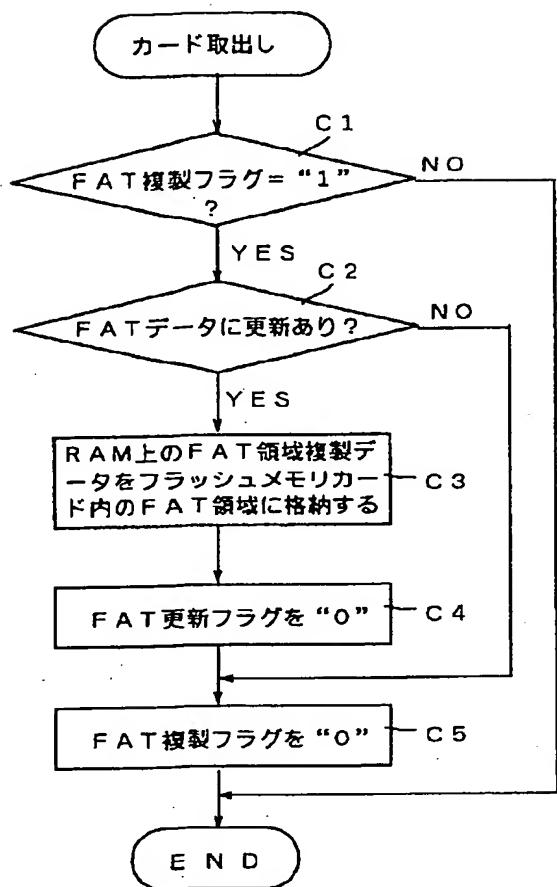
【図8】



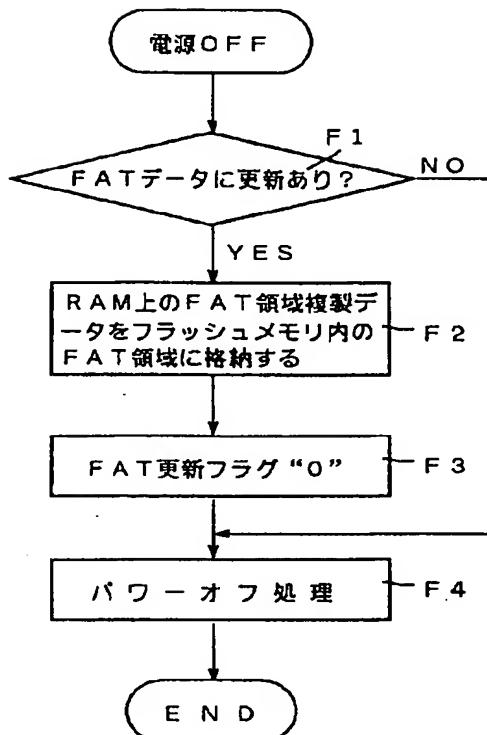
【図7】



【図6】



【図10】



【図9】

